

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-364077

(43)Date of publication of application : 16.12.1992

(51)Int.Cl.

H01L 29/788  
H01L 29/792  
H01L 27/115

(21)Application number : 03-139167

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.06.1991

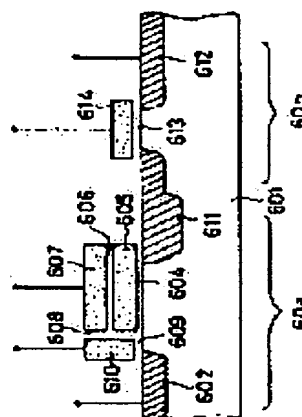
(72)Inventor : NARUGE KIYOMI

## (54) NON-VOLATILE SEMICONDUCTOR STORAGE ELEMENT AND NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To provide an SISOS type byte EEOROM cell which has reduced a size of cell, can be mounted with simplified process on the same chip together with an SISOS type flash EEPROM cell and enables renewal of program by the byte.

CONSTITUTION: A non-volatile semiconductor storage element and device comprises a memory transistor 60a consisting of an SISOS type flash EEPROM cell and a memory cell selection transistor 60b connected in the drain side of this memory transistor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-364077

(43) 公開日 平成4年(1992)12月16日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 29/782 27/115		8225-4M 8831-4M	H 0 1 L 29/78 27/10	3 7 1 4 3 4
審査請求 未請求 請求項の数 8 (全 8 頁)				

(21) 出願番号 特願平3-139167

(22) 出願日 平成3年(1991)6月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町2番地

(72) 発明者 成毛 清実

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

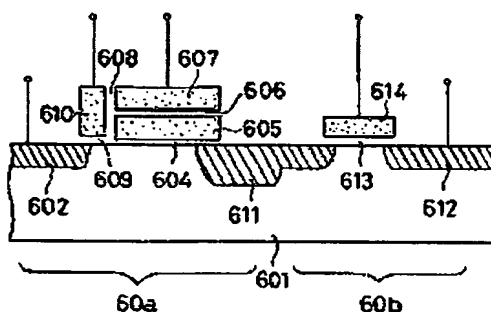
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶素子および不揮発性半導体記憶装置

(57) 【要約】

【目的】 セルサイズの小型化が可能になり、SISOS型フラッシュEEPROMセルと同一チップ上に混載する場合のプロセスが簡単になり、バイト単位の書き換えが可能なSISOS型バイトEEPROMセルを提供する。

【構成】 SISOS型フラッシュEEPROMセルからなるメモリトランジスタ60aと、このメモリトランジスタのドレイン側に接続されたメモリセル選択トランジスタ60bとを具備することを特徴とする。



(2)

特開平4-364077

1

【特許請求の範囲】

【請求項1】 S I S O S型フラッシュEEPROMセルからなるメモリトランジスタと、このメモリトランジスタのドレイン側に接続されたメモリセル選択トランジスタとを具備することを特徴とする不揮発性半導体記憶素子。

【請求項2】 請求項1記載の不揮発性半導体記憶素子において、前記メモリトランジスタは、第1導電型の半導体基板と、この半導体基板の表面に設けられ、前記半導体基板とは逆の第2導電型を有するドレイン領域用の第1不純物領域およびソース領域用の第2不純物領域と、前記半導体基板の第1不純物領域・第2不純物領域間のチャネル領域表面の一部上に第1ゲート絶縁膜を介して設けられた浮遊ゲート用の第1ゲート電極と、この第1ゲート電極上に層間絶縁膜を介して設けられた制御ゲート用の第2ゲート電極と、前記第1ゲート電極および第2ゲート電極の積層構造の前記第2不純物領域側の側壁に側部絶縁膜を介し、且つ、前記チャネル領域表面の一部上に第2ゲート絶縁膜を介して設けられた第1選択ゲート用の第3ゲート電極とを具備し、前記メモリセル選択トランジスタは、前記半導体基板の表面で前記第1不純物領域と隣接して設けられた第2導電型を有するメモリセル・ドレイン領域用の第3不純物領域と、前記半導体基板の第3不純物領域・第1不純物領域間のチャネル領域表面上に第3ゲート絶縁膜を介して設けられた第2選択ゲート用の第4ゲート電極とを具備することを特徴とする不揮発性半導体記憶素子。

【請求項3】 請求項2記載の不揮発性半導体記憶素子において、前記第2ゲート絶縁膜と第3ゲート絶縁膜とは同一の材質を有し、前記第3ゲート電極と第4ゲート電極とは同一の材質を有することを特徴とする不揮発性半導体記憶素子。

【請求項4】 請求項2または3記載の不揮発性半導体記憶素子において、前記第2ゲート電極と第4ゲート電極との間隔が、この不揮発性半導体記憶素子を含む半導体集積回路の最小加工寸法より小さいことを特徴とする不揮発性半導体記憶素子。

【請求項5】 S I S O S型フラッシュEEPROMセルを行列状に配列し、行または列方向の各EEPROMセルの制御ゲート電極同士および選択ゲート電極同士を共通接続し、列または行方向の各EEPROMセルのドレイン領域同士を共通接続してなるフラッシュEEPROM回路部と、請求項1記載の構成を有するS I S O S型バイトEEPROMセルを行列状に配列し、行または列方向の各EEPROMセルのメモリトランジスタの制御ゲート電極同士、選択ゲート電極同士およびメモリセル選択トランジスタのメモリセル・ドレイン領域同士を共通接続してなるバイトEEPROM回路部とを具備する

2

ことを特徴とする不揮発性半導体記憶装置。

【請求項6】 請求項5記載の不揮発性半導体記憶装置において、前記S I S O S型バイトEEPROMセルは、請求項2乃至4のいずれか1項に記載の不揮発性半導体記憶素子であることを特徴とする不揮発性半導体記憶装置。

【請求項7】 請求項5または6記載の不揮発性半導体記憶装置において、さらに、外部からの電源入力を昇圧し、データ書き込み時に、前記S I S O S型フラッシュEEPROMセルの制御ゲート電極に必要とする電圧を生成し、データ消去時に、前記S I S O S型フラッシュEEPROMセルのドレイン領域に必要とする電圧を生成する昇圧回路を具備することを特徴とする不揮発性半導体記憶装置。

【請求項8】 請求項5乃至7のいずれか1項に記載の不揮発性半導体記憶装置は、ICカードに実装されていることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体記憶素子および不揮発性半導体記憶装置に係り、特に電気的消去・書き込み可能なEEPROM型の不揮発性半導体記憶素子および不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 図5は、マイクロコンピュータ50の一般的なブロック構成を示している。CPU（中央処理装置）部51、RAM（スタティック・メモリ）部52、ROM（読み出し専用メモリ）部53、I/O（入/出力）部54が主な構成要素であり、それらが同一チップ上に搭載されている。

【0003】 上記ROM部53は、通常、データメモリとプログラムメモリとの2種類からなっている。そして、上記データメモリは、バイト単位の書き換えが可能であること、10<sup>4</sup>回程度の書き換えが可能であることが要求されるが、容量としては数kビットでよく、一般に、FLOTOX（Floating gate Tunnel Oxide）型EEPROMによって構成されている。また、前記プログラムメモリは、バイト単位の書き換えは要求されておらず、書き込みはバイト単位、消去は一括という仕様でよく、書き換え回数は10<sup>4</sup>程度でよいが、容量としては512kビット以上が要求され、一般に、フラッシュEEPROMによって構成されている。

【0004】 上記FLOTOX型EEPROMは、図6に示すように、メモリトランジスタと選択トランジスタの2トランジスタ構成であるので、セルサイズが大きく、大容量化には向かないが、バイト単位で書き換えが可能であること、10<sup>4</sup>回程度の書き換え回数の保証の信頼があることで、データメモリの仕様にあっている。なお、図6において、201は半導体基板、202はソース領域、204はトンネル絶縁膜、205は浮遊ゲート

(3)

特開平4-364077

3

ト電極、206は電極間絶縁膜、207は制御ゲート電極、209は第1ゲート絶縁膜、211は第1ドレイン領域、212は第2ドレイン領域、213は第2ゲート絶縁膜、214は制御ゲート電極である。

【0005】しかし、上記FLOTOX型EEPROMセルは、メモリトランジスタのトンネル領域をレジストパターンニングによって形成するので、セルサイズが大きくなってしまおう問題がある。

【0006】一方、前記フラッシュEEPROMは、一掃消去が可能であるが、セルサイズが小さいので大容量化が可能であり、プログラムメモリの仕様にあってい30 る。このフラッシュEEPROMのセルには幾つかのタイプが実用化されており、従来例として、図7はACEE (Advanced Contactless EEPROM) 型セルを示し、図8はETOX (EPROM with Tunnel Oxide) 型セルを示し、図9はソース側に側壁部選択トランジスタが設けられたSISOS (Sidewall Select-gate On Source side) 型フラッシュEEPROMセルを示している。

【0007】図7において、301は半導体基板、302はソース領域、303はドレイン領域、304はトンネル絶縁膜、305は浮遊ゲート電極、306は電極間絶縁膜、307は制御ゲート電極、308はゲート絶縁膜である。

【0008】図8において、401は半導体基板、402はソース領域、403はドレイン領域、404はトンネル絶縁膜、405は浮遊ゲート電極、406は電極間絶縁膜、407は制御ゲート電極である。

【0009】図9において、501は半導体基板、502はソース領域、503はドレイン領域、504はトンネル絶縁膜、505は浮遊ゲート電極、506は電極間絶縁膜、507は制御ゲート電極、508は側壁絶縁膜、509はゲート絶縁膜、510は選択ゲート電極である。なお、上記ドレイン領域503上の絶縁膜(図示せず)にはビット線コンタクト用のコンタクト開孔部が設けられている。

【0010】しかし、上記フラッシュEEPROMセルのどれかを用いたフラッシュEEPROMと前記FLOTOX型EEPROMとを同一チップ上に混載する場合30 には、次のような問題がある。

【0011】まず、フラッシュEEPROMセルのうち、FLOTOX型EEPROMと混載する際に最もプロセス整合性のあるのはACEE型セルである。このACEE型セルは、FLOTOX型セルの選択トランジスタを省略し、ドレインコンタクトを共通化して省略したものであるから、それらを付け加えればFLOTOX型セルとなる。しかし、ACEE型セルは、プログラム時に半選択モードを使用するので、その書き込み・消去動作が複雑となってその周辺回路の構成が複雑になる。

【0012】一方、前記ETOX型セルは、バイト消去用としてソース側に選択トランジスタを設けた場合に40

4

は、単一電源(通常、5V)による書き込みが困難になるので、チップの外部電源として2電源(通常、5V系と1.2V系)を必要とし、また、FLOTOX型セルとのプロセス整合性が悪い。その理由は、FLOTOX型セルは書き込み・消去に約20Vの電圧を必要とするので、搭載する素子としては5V系と1.2V系に加えて20V系の3種類を作り分ける必要がある。また、ゲート酸化膜厚の種類として、ETOX型セルのゲート酸化膜およびFLOTOX型セルのトンネル酸化膜(約10nm)、ETOX型セル周辺回路部のゲート酸化膜(約25nm)、FLOTOX型セル周辺回路部のゲート酸化膜(約45nm)、ロジック回路部のゲート酸化膜(約15nm)の合計4種類を形成する必要がある。

【0013】

【発明が解決しようとする課題】上記したように従来のFLOTOX型EEPROMセルは、セルサイズが大きくなり、ACEE型あるいはETOX型のフラッシュEEPROMセルと同一チップ上に混載しようとする30 と、メモリ周辺回路の構成が複雑になり、あるいは、外部電源として2電源を必要とし、プロセス整合性が悪いという問題があった。

【0014】本発明は上記の問題点を解決すべくなされたもので、セルサイズの小型化が可能になり、SISOS型フラッシュEEPROMセルと同一チップ上に混載する場合のプロセスが簡易になり、バイト単位の書き換えが可能で不揮発性半導体記憶素子を提供することを目的とする。

【0015】また、本発明は、フラッシュEEPROMとバイトEEPROMとを簡単なプロセスで同一チップ上に混載でき、書き込み・消去動作に半選択状態を必要としないのでメモリ周辺回路の構成の簡易化が可能になり、しかも、単一電源によって書き込み・消去が可能になり、チップサイズの縮小化が可能になる不揮発性半導体記憶装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の不揮発性半導体記憶素子は、SISOS型フラッシュEEPROMセルからなるメモリトランジスタと、このメモリトランジスタのドレイン側に接続されたメモリセル選択トランジスタとを具備することを特徴とする。

【0017】また、本発明の不揮発性半導体記憶装置は、SISOS型フラッシュEEPROMセルを行列状に配列し、行または列方向の各EEPROMセルの制御ゲート電極同士および選択ゲート電極同士を共通接続し、列または行方向の各EEPROMセルのドレイン領域同士を共通接続してなるフラッシュEEPROM回路部と、SISOS型フラッシュEEPROMセルからなるメモリトランジスタおよびこのメモリトランジスタのドレイン側に接続されたメモリセル選択トランジスタを具備するSISOS型バイトEEPROMセルを行列状

(4)

特開平4-364077

5

に配列し、行または列方向の各EEPROMセルのメモリトランジスタの制御ゲート電極同士、選択ゲート電極同士およびメモリセル選択トランジスタの選択ゲート電極同士を共通接続し、列または行方向の各EEPROMセルのメモリセル選択トランジスタのメモリセル・ドレイン領域同士を共通接続してなるバイトEEPROM回路部とを具備することを特徴とする。

【0018】

【作用】上記不揮発性半導体記憶素子は、メモリトランジスタとメモリセル選択トランジスタとの2トランジスタ構成であるので、バイト単位の書き換えが可能である。また、メモリトランジスタは、SISOS型フラッシュEEPROMセルと同一構成を有し、同一の製造工程によって形成できるので、SISOS型フラッシュEEPROMセルと同一チップ上に搭載する場合のプロセスが簡単になる。この場合、メモリトランジスタはセルフアラインにより形成されるので、セルサイズの小型化が可能になる。

【0019】また、上記不揮発性半導体記憶装置は、SISOS型フラッシュEEPROM回路部と、このSISOS型フラッシュEEPROM回路部のセルとほぼ同一構成のメモリトランジスタを有するセルを用いたSISOS型バイトEEPROM回路部とが同一チップ上に形成されている。従って、単一電源（通常、5V）によって書き込み・消去動作が可能であり、書き込み・消去動作に半選択状態を作らないのでメモリ周辺回路の構成が簡単になり、しかも、SISOS型フラッシュEEPROMおよびSISOS型バイトEEPROMのプロセスの大部分が共通しており、プロセスが簡単になる。

【0020】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0021】図1は本発明の不揮発性半導体記憶素子の第1実施例に係るSISOS型のバイトEEPROMセルの断面構造を示している。このバイトEEPROMセルは、SISOS型のフラッシュEEPROMセルとほぼ同一構成を有するメモリトランジスタ60aと、このメモリトランジスタのドレイン側に接続されたメモリセル選択トランジスタ60bとを具備する。

【0022】上記メモリトランジスタ（SISOS型フラッシュEEPROMセル）60aにおいて、601は第1導電型の半導体基板（例えばP型シリコン基板）、611および602は上記半導体基板601の表面に設けられ、この半導体基板とは逆の第2導電型（例えばヒ素あるいはリンがドーパされたn+型）を有するドレイン領域用の第1不純物領域およびソース領域用の第2不純物領域である。605は上記半導体基板601の第1不純物領域611・第2不純物領域602間のチャネル領域表面の一部上に第1ゲート絶縁膜（トンネル絶縁膜）604を介して前記第1不純物領域611の一端と

6

壁なるように設けられた浮遊ゲート用の第1ゲート電極であり、例えば熱酸化で形成されたシリコン酸化膜からなる。

【0023】607は上記第1ゲート電極605上に例えば多結晶シリコンの熱酸化膜/CVDシリコン窒化膜/熱酸化膜からなる層間絶縁膜（電極間絶縁膜）606を介して設けられた例えばリンドーパ多結晶シリコンからなる制御ゲート用の第2ゲート電極である。この第2ゲート電極607は、前記層間絶縁膜606を介して前記第1ゲート電極605とセルフアラインとなるように形成されている。

【0024】610は前記第1ゲート電極605および第2ゲート電極607の積層構造の前記第2不純物領域側602の側壁に例えば多結晶シリコンの熱酸化膜/CVDシリコン窒化膜/熱酸化膜からなる側部絶縁膜608を介し、且つ、前記チャネル領域表面の一部上に第2ゲート絶縁膜609を介して設けられた第1選択ゲート用の第3ゲート電極である。なお、前記ドレイン領域用の第1不純物領域611上の絶縁膜（図示せず）には、コンタクト開孔部が設けられていない。

【0025】一方、前記メモリセル選択トランジスタ60bにおいては、前記半導体基板601の表面で上記メモリトランジスタ60aのドレイン領域用の第1不純物領域611と隣接してメモリセル・ドレイン領域用の第3不純物領域612が設けられ、上記第1不純物領域611・第3不純物領域612間のチャネル領域表面上に第3ゲート絶縁膜613を介して第2選択ゲート用の第4ゲート電極614が設けられている。上記第3不純物領域612は、前記第1不純物領域611と同一導電型（例えばヒ素あるいはリンがドーパされたn+型）の拡散層からなり、その上の絶縁膜（図示せず）にはビット線とのコンタクト開孔部が設けられている。

【0026】なお、上記第3ゲート絶縁膜613および前記第2ゲート絶縁膜609は、同一の材質（例えば基板シリコンの熱酸化膜/CVDシリコン窒化膜/熱酸化膜が積層された複合膜）からなり、同時に形成される。また、前記第4ゲート電極614および第3ゲート電極610は、同一の材質を有する。

【0027】上記実施例のSISOS型のバイトEEPROMセルによれば、メモリトランジスタとメモリセル選択トランジスタとの2トランジスタ構成であるので、バイト単位の書き換えが可能である。また、メモリトランジスタは、SISOS型フラッシュEEPROMセルと同一構成を有し、同一の製造工程によって形成できるので、SISOS型フラッシュEEPROMセルと同一チップ上に搭載する場合のプロセスが簡単になる。この場合、メモリトランジスタはセルフアラインにより形成されるので、セルサイズの小型化が可能になる。図2は、本発明の不揮発性半導体記憶装置の一実施例を示している。

(5)

特開平4-364077

7

【0028】この不揮発性半導体記憶装置は、フラッシュEEPROM回路部21およびバイトEEPROM回路部22とが同一チップ上に形成されており、例えばIC（集積回路）カードに実装され、マイクロコンピュータのROM部として用いられる。

【0029】上記フラッシュEEPROM回路部21は、図9に示したようなドレイン領域上の絶縁膜にコンタクト開孔部を有する従来のSISOS型フラッシュEEPROMセル50（これは、図1に示したバイトEEPROMセルのうちのメモリトランジスタ80aのドレイン領域611上の絶縁膜にコンタクト開孔部を設けたものに相当する。）を行列状に配列し、行または列方向の各EEPROMセルの制御ゲート電極507同士および第1選択ゲート電極510同士を共通接続し、列または行方向の各EEPROMセルのドレイン領域503同士を共通接続してなる。

【0030】また、前記バイトEEPROM回路部22は、図1に示したようなドレイン領域上の絶縁膜にコンタクト開孔部を有さないSISOS型フラッシュEEPROMセルからなるメモリトランジスタおよびこのメモリトランジスタのドレイン側に接続されたメモリセル選択トランジスタを具備するSISOS型のバイトEEPROMセル60を行列状に配列し、行または列方向の各EEPROMセルの制御ゲート電極607同士、第1選択ゲート電極610同士および第2選択ゲート電極614同士を共通接続し、列または行方向の各EEPROMセルのメモリセル・ドレイン領域612同士を共通接続してなる。

【0031】上記不揮発性半導体記憶装置によれば、SISOS型フラッシュEEPROM回路部21と、このSISOS型フラッシュEEPROM回路部のセルとほぼ同一構成のメモリトランジスタを有するセルを用いたSISOS型バイトEEPROM回路部22とが同一チップ上に形成されている。SISOS型フラッシュEEPROMセル50は、データ書き込み時に、ドレイン領域503に5V、制御ゲート電極507に12V、選択ゲート電極510に2Vの電圧印加状態を必要とする。

【0032】ここで、制御ゲート電極507への12Vの印加電圧は、流れる電流が少ないので外部からの電源入力（5V）をチップ内部の昇圧回路で昇圧して作り出すことができ、選択ゲート電極510への2Vの印加電圧は外部電圧の5Vを内部で降圧して作りだせる。また、データ消去時には、ドレイン領域503に12V、他のゲートに0Vの電圧印加状態を必要とする。この時、ドレイン領域503にサブブレークダウンによる電流が流れるが、セルアレイを小さなブロックに分けて消去を行うことにより、1回の消去で流れるサブブレークダウン電流量を少なくでき、必要な消去電圧12Vも外部電源の5Vを内部で昇圧して作り出すことができる。

【0033】即ち、SISOS型フラッシュEEPROM

8

MセルをコアとしたフラッシュEEPROMおよびバイトEEPROMは単一電源によって書き込み・消去動作が可能であるという特長を維持する。しかも、書き込み・消去動作に半選状態を作らないのでメモリ周辺回路の構成が簡単になる。また、SISOS型フラッシュEEPROMおよびSISOS型バイトEEPROMのプロセスの大部分が共通しており、プロセスが簡単になるという特長がある。

【0034】さらに、SISOS型フラッシュEEPROMセルをコアとしたSISOS型バイトEEPROMセルでは、メモリトランジスタは全てセルフアラインにより形成されるのでセルサイズが小さくなり、チップサイズの縮小化が可能になる。

【0035】次に、図2の不揮発性半導体記憶装置を構成した集積回路の製造工程におけるSISOS型フラッシュEEPROMセルおよびSISOS型バイトEEPROMセルの形成方法の一例を、図3（a）乃至（d）を参照しながら説明する。ここでは、周辺トランジスタはNチャネルトランジスタのみを図示する。

【0036】まず、図3（a）に示すように、（100）面を有するP型シリコン基板801上に、イオン注入と熱拡散法によって所定の領域にNウェル（図示せず）を形成した後、選択酸化（LOCOS）法によりフィールド酸化膜（図示せず）を形成し、このフィールド酸化膜で囲まれた領域を素子領域とする。続いて、各素子領域に閥値制御用のチャネルイオン注入を行った後、熱酸化法により第1酸化膜（トンネル酸化膜）802を約10nm形成し、連続して第1多結晶シリコン膜803を減圧気相成長（LPCVD）法により約100nm堆積し、これにPOCl<sub>3</sub>の気相拡散法によりリンをドーピングする。

【0037】更に、所定のレジストパターニングとエッチングを行い、セルスリット（図示せず）を形成した後、前記第1多結晶シリコン膜803の熱酸化、LPCVD法による窒化シリコン膜の堆積、窒化シリコン膜の熱酸化を行うことにより、シリコンの酸化膜/窒化膜/酸化膜の複合膜からなる第1複合絶縁膜804を形成する。

【0038】次に、図3（b）に示すように、所定のレジストパターニングを行い、メモリ周辺回路領域上の前記複合絶縁膜804、第1多結晶シリコン膜803をエッチング除去し、更に、NH<sub>4</sub>F液によって前記第1酸化膜802をエッチング除去した後、熱酸化法により第2酸化膜（メモリ周辺回路ゲート酸化膜）805を約25nm形成し、連続して第2多結晶シリコン膜806をLPCVD法により約400nm堆積し、これにPOCl<sub>3</sub>の気相拡散法によりリンをドーピングする。その後、所定のレジストパターニングを行い、メモリ領域の前記第2多結晶シリコン膜806、第1複合絶縁膜804、第1多結晶シリコン膜803をそれぞれ反応性イオンエッ

(6)

特開平4-364077

9

チング(RIE)によって連続してエッチングする。これによって、前記第1多結晶シリコン膜803が各セル同士で切り離されて浮遊ゲート807が形成され、パターニングされた第2多結晶シリコン膜806は制御ゲート808となる。次に、所定のレジストパターニングを行い、メモリセルのドレイン側にヒ素イオンおよびリンイオンを注入し、ドレイン領域809を形成する。

【0039】更に、所定のレジストパターニングを行い、メモリ周辺回路領域の第2多結晶シリコン膜806をRIEによってエッチングする。これによって、メモリ周辺回路のゲート電極810が形成される。

【0040】この後、例えば熱酸化によって第2多結晶シリコン膜806上および基板801上に酸化膜を形成し、続いて、LPCVD法により窒化シリコン膜の堆積、窒化シリコン膜の熱酸化を行って酸化膜/窒化膜/酸化膜の複合膜からなる第2複合絶縁膜811を形成する。

【0041】次に、図3(c)に示すように、所定のレジストパターニングを行って、ロジック回路領域上の前記第2複合絶縁膜811、第2多結晶シリコン膜806、第1複合絶縁膜804と第1多結晶シリコン膜803をそれぞれRIEとケミカルドライエッチング(CDE)によりエッチング除去し、更に、NH<sub>4</sub>F液により第1酸化膜802をエッチング除去する。この後、熱酸化法により第3酸化膜(ロジック回路ゲート酸化膜)812を約15nm形成し、連続してLPCVD法により第3多結晶シリコン膜813を約400nm堆積し、これにPOC1<sub>3</sub>の気相蒸着法によりリンをドーピングする。

【0042】次に、所定のレジストパターニングを行い、ロジック回路領域およびメモリ領域の第3多結晶シリコン膜813をRIEによってエッチングする。これによって、第1選択ゲート電極814および第2選択ゲート電極815とロジック回路ゲート電極816が形成される。

【0043】更に、図3(d)に示すように、所定のレジストパターニングを行い、メモリ周辺回路領域上およびメモリ領域のドレイン側に残る第3多結晶シリコン膜813をCDEによってエッチング除去する。次に、所定のレジストパターニングを行い、メモリセルのソース領域817、メモリ周辺回路およびロジック回路のnチャネルトランジスタのソース領域818・ドレイン領域819を形成するためにヒ素イオンの注入を行い、メモリ周辺回路およびロジック回路のpチャネルトランジスタのソース領域・ドレイン領域(図示せず)にBF<sub>3</sub>イオンの注入を行う。

【0044】この後、例えばBPFG(ボロン・リン・シリケートガラス)等の絶縁膜820をCVD法により堆積し、リフローを施した後所定のレジストパターニングを行ってコンタクト孔を開孔する。次に、配線材料として、例えばAl(アルミニウム)-Si(シリコン)

10

合金膜をスパッタ法により堆積し、所定のレジストパターニングを行ってエッチングし、配線821を形成する。続いて、シンターを行った後、パッシベーション膜822を堆積し、パッド部の開孔を行い、所望の半導体集積回路を得る。

【0045】図4は、本発明の不揮発性半導体記憶素子の第2実施例に係るSISOS型バイトEEPROMセルの断面構造を示している。このバイトEEPROMセルは、図1に示したSISOS型バイトEEPROMセルと比べて、(1)メモリセル選択トランジスタ70bのソース領域が、拡散により形成されることなく、メモリトランジスタのドレイン領域(第1不純物領域611)がそのまま利用されている点、(2)第4ゲート電極(第2選択ゲート)形成用の導電膜を堆積した後のパターニングに際して、側部絶縁膜708の形成時に制御ゲート電極607上に形成されている絶縁膜715の上に導電膜の一部を残すことにより、第4ゲート電極(第2選択ゲート)714の一部が上記絶縁膜715を介して第2ゲート電極(制御ゲート電極)607の上に延びて積層されるように形成されている点が異なり、その他は同じであるので図1中と同一符号を付している。

【0046】このような構造のSISOS型バイトEEPROMセルによれば、第2ゲート電極607と第4ゲート電極714との間隔を、このSISOS型バイトEEPROMセルを含む半導体集積回路の最小加工寸法より小さく形成することが可能になり、セル寸法を縮小することができる。

【0047】

【発明の効果】上述したように本発明の不揮発性半導体記憶素子によれば、セルサイズの小型化が可能になり、SISOS型フラッシュEEPROMセルと同一チップ上に混載する場合のプロセスが簡単になり、バイト単位の書き換えが可能なSISOS型バイトEEPROMセルを実現できる。

【0048】また、本発明の不揮発性半導体記憶装置によれば、簡単なプロセスでSISOS型フラッシュEEPROMとSISOS型バイトEEPROMとを同一チップ上に混載でき、メモリ周辺回路の構成が簡単になり、しかも、単一電源によって書き込み・消去が可能になり、チップサイズの縮小が可能になるので、ICカードに実装してマイクロコンピュータのROM部として使用するのに好適である。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶素子の第1実施例に係るSISOS型のバイトEEPROMセルを示す断面図。

【図2】本発明の不揮発性半導体記憶装置の第1実施例を示すブロック図。

【図3】本発明の不揮発性半導体記憶装置の製造方法の一例を示す工程断面図。



(7)

特開平4-364077

11

【図4】本発明の不揮発性半導体記憶素子の第2実施例に係るSISOS型バイトEEPROMセルを示す断面図。

【図5】マイクロコンピュータの一般的な構成を示すブロック図。

【図6】従来のFLOTOX型のバイトEEPROMセルを示す断面図。

【図7】従来のACEE型のフラッシュEEPROMセルを示す断面図。

【図8】従来のETOX型のフラッシュEEPROMセルを示す断面図。

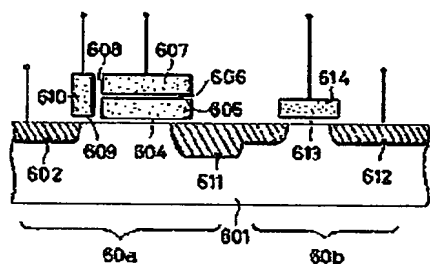
【図9】従来のSISOS型のフラッシュEEPROMセルを示す断面図。

【符号の説明】

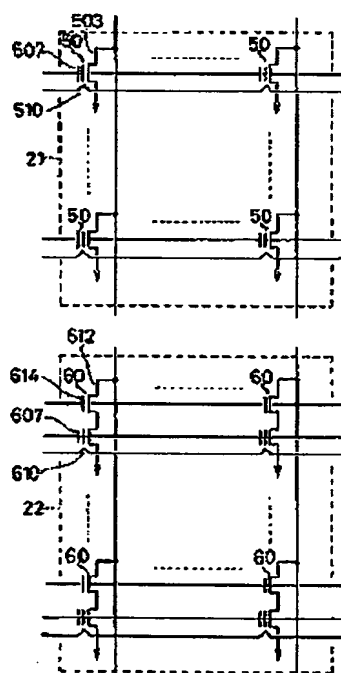
12

60a、70a…メモリトランジスタ（SISOS型フラッシュEEPROMセル）、60b、70b…メモリセル選択トランジスタ、601…半導体基板、602…ソース領域用の第2不純物領域、604…第1ゲート絶縁膜（トンネル絶縁膜）、605…浮遊ゲート用の第1ゲート電極、606…層間絶縁膜（電極間絶縁膜）、607…制御ゲート用の第2ゲート電極、608、708…側部絶縁膜、609…第2ゲート絶縁膜、610…第1選択ゲート用の第3ゲート電極、611…ドレイン領域用の第1不純物領域、612…メモリセル・ドレイン領域用の第3不純物領域、613…第3ゲート絶縁膜、614、714…第2選択ゲート用の第4ゲート電極、715…絶縁膜、21…フラッシュEEPROM回路部、22…バイトEEPROM回路部。

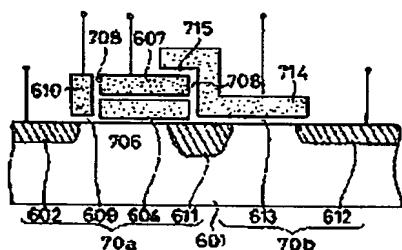
【図1】



【図2】



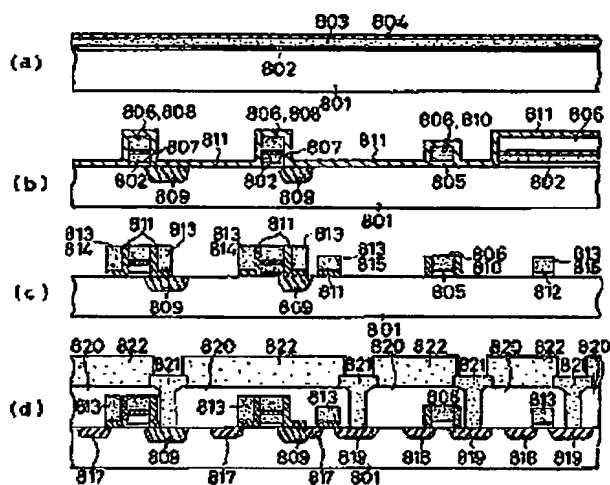
【図4】



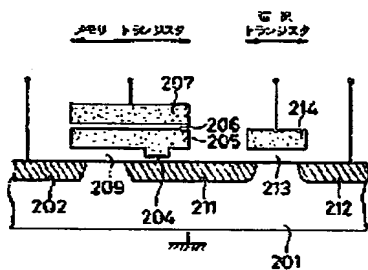
(8)

特開平4-364077

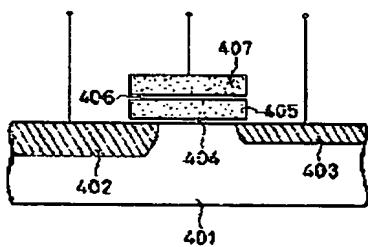
【図3】



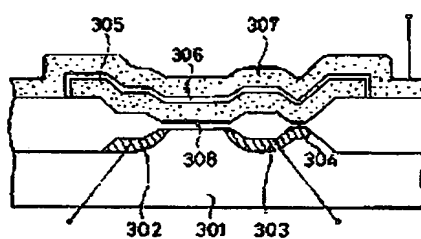
【図6】



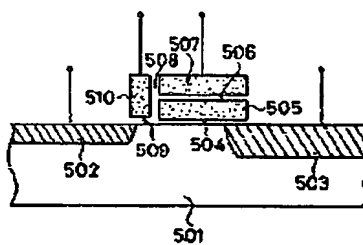
【図8】



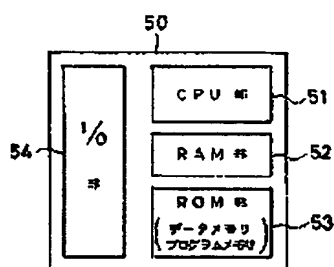
【図7】



【図9】



【図5】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**